

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256469

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 09-055175

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 10.03.1997

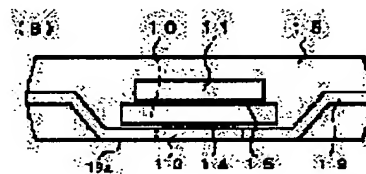
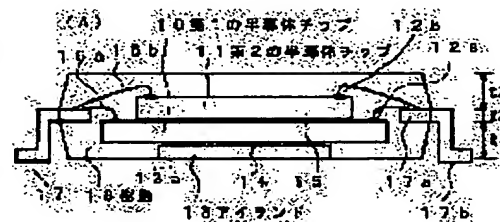
(72)Inventor : TSUBONoya MAKOTO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To pack a plurality of semiconductor chips in one package at a high stack mounting density without increasing the thickness of the package by suppressing the looping heights of wires.

SOLUTION: A semiconductor device is constituted by fixing a first semiconductor chip 10 on an island 13 and a second semiconductor chip on the first chip 10. Then the first bonding pad 12a of the first chip 10 is wire-bonded 'upward' to a lead terminal 17 and the second bonding pad 12b of the second chip 11 is wire-bonded 'downward' to the lead terminal 17. The main part of a semiconductor device thus constituted is molded with a resin 18 including the semiconductor chips 10 and 11. The position of the island 13 is lowered so that the rear surface of the island 13 may be exposed on the surface of the resin 18.



LEGAL STATUS

[Date of request for examination]

26.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3203200

[Date of registration]

22.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256469

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶
H 0 1 L 25/065
25/07
25/18

識別記号

F I
H 0 1 L 25/08

B

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21) 出願番号 特願平9-55175
(22) 出願日 平成9年(1997) 3月10日

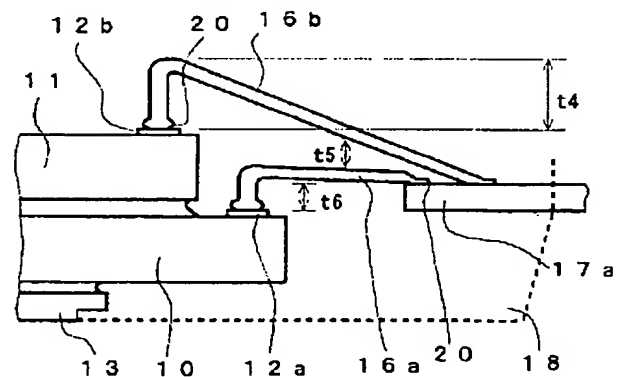
(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72) 発明者 坪野谷 誠
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ワイヤのループ高さを抑えることにより、肉厚を厚くすることなく1つのパッケージ内に複数の半導体チップを積層止高密度実装を可能にする。

【解決手段】 アイランド13上に第1の半導体チップ10を固着し、第1の半導体チップの上に第2の半導体チップ11を固着する。第1の半導体チップ10の第1のボンディングパッド12aとリード端子17とを「打ち上げ」でワイヤボンドする。第1の半導体チップ11の第2のボンディングパッド12bとリード端子17とを「打ち下げ」でワイヤボンドする。各半導体チップ10、11を含み主要部を樹脂17でモールドする。アイランド13の裏面を樹脂17の表面に露出させるように、アイランド13の位置を下げる。



10 第1の半導体チップ
11 第2の半導体チップ
12a 第1のボンディングパッド
12b 第2のボンディングパッド
13 アイランド
16a 第1のボンディングワイヤ
16b 第2のボンディングワイヤ
17 リード端子
18 樹脂

(2)

1

【特許請求の範囲】

【請求項1】 アイランドの上に固着した第1の半導体チップと、
前記第1の半導体チップの表面に形成した、第1のボンディングパッドと、
前記第1の半導体チップの上に固着した第2の半導体チップと、
前記第2の半導体チップの表面に形成した第2のボンディングパッドと、
前記第1と第2の半導体チップの周囲を封止する樹脂と、
前記樹脂の底面から第1の高さに位置し、前記第1と第2の半導体チップの近傍から延在して前記樹脂の側面から外部に導出されるリード端子と、
前記第1のボンディングパッドと前記リード端子とを電気的に接続する第1のボンディングワイヤと、
前記第2のボンディングパッドと前記リード端子とを電気的に接続する第2のボンディングワイヤとを具備し、
前記第1のボンディングパッドの高さが前記第1の高さより低い位置に、前記第2のボンディングパッドの高さが前記第1の高さより高い位置に各々位置することを特徴とする半導体装置。

【請求項2】 前記アイランドの裏面側を前記樹脂の裏面に露出するように樹脂封止したことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の高さが、前記樹脂の全体の厚みの約半分の厚みであることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記第1のボンディングワイヤが、前記第1のボンディングパッドからほぼ垂直方向に延在し、前記第1の高さの近傍で折り曲げられてほぼ水平方向に延在し、そして前記リード端子の表面に固着されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記リード端子の位置から前記第1の半導体チップの表面までの高さの差が、少なくとも前記第1のワイヤのボールから折り曲げた部分までの長さより大であることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記第2のボンディングワイヤが、前記第1のボンディングワイヤのループに対して常に高い位置を通る軌跡を描くことを特徴とする請求項1記載の半導体装置。

【請求項7】 前記第1のボンディングワイヤと第2のボンディングワイヤとが交差して互いに異なるリード端子に接続する箇所を有することを特徴とする請求項1記載の半導体装置。

【請求項8】 前記リード端子が表面実装用にZ字型にリードフォーミングされていることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は、複数の半導体チップを重ね合わせてモールドしつつ、ボンディングワイヤの交差とパッケージ外形の薄型化が可能な、半導体装置に関する。

【0002】

【従来の技術】半導体装置の封止技術として最も普及しているのが、図5(A)に示したような、半導体チップ1の周囲を熱硬化性のエポキシ樹脂2で封止するトランスファーモールド技術である。半導体チップ1の支持素材としてリードフレームを用いており、リードフレームのアイランド3に半導体チップ1をダイボンダし、半導体チップ1のボンディングパッドとリード4をワイヤ5でワイヤボンダし、所望の外形形状を具備する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

【0003】一方、各種電子機器に対する小型、軽量化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の大容量、高機能、高集積化が望まれることになる。そこで、以前から発想としては存在していた（例えば、特開昭55-111151号）、1つのパッケージ内に複数の半導体チップを封止する技術が注目され、実現化する動きが出てきた。つまり図5(B)に示すように、アイランド3上に第1の半導体チップ1aを固着し、第1の半導体チップ1aの上に第2の半導体チップ1bを固着し、対応するボンディングパッドとリード4とをボンディングワイヤ5a、5bで接続し、樹脂2で封止したものである。

【0004】

【発明が解決しようとする課題】コストアップになるにも関わらず複数のチップを一体化させることは、即ち軽薄短小化の要求が極めて強いからに他ならない。故に外形寸法に余裕のあるDIP型パッケージよりは、表面実装型の、しかも薄型のパッケージに収納したい意向が強く、その方が全体としてのメリットが大きい。

【0005】しかしながら、半導体チップ1やアイランド3には、機械的強度を持たせる必要性から、ある程度の厚み以上には薄くすることができないので、チップを積層した分だけパッケージ外形を大型化する欠点がある。また、ボンディングワイヤ5a、5bには、図6

(A)の図示6で示すように一定量以上は垂直に上昇させる必要があるため、第1のワイヤ5aと第2のワイヤ5bとの間隔（図6(A)の図示7）が狭くなり、両者の接触事故を防ぐためには互いに平行に配置するような制限が加わる。そのため、図6(B)に符号8で示したような、第1のワイヤ5aと第2のワイヤ5bとを交差する配置ができなくなり、その分だけパッドとリード4との位置関係に制約が加わって設計の自由度を失うという欠点があった。

【0006】もし交差配置を行うのであれば間隔7を確保するために第2のワイヤ5bの高さ（図6(A)の符

50

(3)

3

号 9) を必要以上に高くすることになり、結局パッケージの外形寸法を大きくしてしまう。更に又、チップを重ねることによりパッケージの外形寸法を押し上げることは、従来より準備されているパッケージの外形寸法に収まらなくなるので、金型や試験測定装置等、後工程で使用する製造装置の殆どを別設計にしなければならず、設備投資によりコストアップが極めて大きくなるという欠点があった。

【0007】具体的に数値を述べると、本願発明者は、TSOP型と呼ばれる表面実装型の、厚さ t が約1.0mmにしか過ぎないパッケージに2つのチップを積層して収納することを目標とした。リードフレーム方式以外では、半導体チップと外形寸法がほぼ一致するベアチップ方式や、金属板の代わりにフィルムと銅箔を用いたフィルムキャリア方式が更なる小型化の手法として考えられるが、コストが高すぎてしかも信頼性の確保が難しくなる。故に従来技術の延長線上である、リードフレームとトランスファモールド技術で実現したい要求が強い。

【0008】

【課題を解決するための手段】本発明は上述した従来の課題に鑑み成されたもので、リードの高さに対して、第1の半導体チップを下方に設置し第2の半導体チップを上方に設置し、第1の半導体チップからの第1のワイヤを打ち上げ式でワイヤボンドすると共に第2の半導体チップからの第2のワイヤを打ち下げ式でワイヤボンドすることにより、パッケージの薄型化が可能な半導体装置を提供するものである。

【0009】更に、半導体チップを搭載するアイランドの裏面が樹脂の表面に露出するようにリードとアイランドとの段付けを行い、このアイランド上に複数の半導体チップを積層する事により、樹脂の高さを低減した半導体装置を提供するものである。

【0010】

【発明の実施の形態】以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。先ず、図2(A)

(B) は本発明の半導体装置を示す断面図、図3は本発明の半導体装置を示す上面図、図4は本発明の半導体装置を示す裏面図である。尚、図2(A)は図3のAA線断面図、同じく図2(B)は図2のBB線断面図である。

【0011】図中、10、11は各々第1と第2の半導体チップを示している。第1と第2の半導体チップ10、11のシリコン表面には、前工程において各種の能動、受動回路素子が形成されている。第1の半導体チップ10のチップの周辺部分には外部接続用の第1のボンディングパッド12aが形成されている。同様に第2の半導体チップ11の表面には第2のボンディングパッド12bが形成されている。各ボンディングパッド12a、12bを被覆するようにシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などのパッシベーション皮

4

膜が形成され、ボンディングパッド12a、12bの上部は電気接続のために開口されている。

【0012】第1の半導体チップ10はリードフレームのアイランド13上にAgペーストなどのエポキシ系導電接着剤14によりダイボンドされ、更に第2の半導体チップ11は第1の半導体チップ10の前記パッシベーション皮膜上に絶縁性のエポキシ系接着剤15により固着されている。第1の半導体チップ10表面の第1のボンディングパッド12aの表面には、金線等の第1のボンディングワイヤ16aの一端がワイヤボンドされており、第1のボンディングワイヤ16aの他端は外部導出用のリード端子17の先端部17aにワイヤボンドされている。第2の半導体チップ11の第2のボンディングパッド12bの表面には同じく第2のボンディングワイヤ16bの一端がワイヤボンドされており、他端はリード端子17の先端部17aにワイヤボンドされている。これで、各々のボンディングパッド12a、12bと各リード17とを電氣的に接続している。

【0013】第1と第2の半導体チップ10、11、リード端子の先端部17a、および第1と第2のボンディングワイヤ16a、16bを含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされ、パッケージ化される。リード端子17はパッケージ側壁の、樹脂18の厚みの約半分の位置から外部に導出される。即ち、図2(A)を参照して、リード17から上側の樹脂厚み t_1 と下側の樹脂厚 t_2 とはほぼ同等の厚みである。そして、樹脂18の外部に導出されたリード端子17は一端下方に曲げられ、再度曲げられてZ字型にフォーミングされている。このフォーミング形状は、リード端子17の裏面側固着部分17bをプリント基板に形成した導電パターンに対向接着する、表面実装用途の為の形状である。

【0014】この半導体装置は、先ずリードフレームの状態でアイランド13の4隅に設けた保持用タイバー19に段付け加工を施すことにより、アイランド13の高さとリード端子先端部17aとの高さを異ならしめておき、アイランド13に第1と第2の半導体チップ10、11をダイボンドし、ボンディングパッド12a、12bとリード端子の先端部17aとをワイヤボンドし、次いでアイランド13部分が上下金型に設けたキャビティ内に位置するように、リードフレームの枠体とリード端子17を上下金型で挟み固定し、斯る状態で樹脂を注入、硬化させることにより得ることができる。

【0015】前記リードフレームは、板厚が150～200 μ mの銅系または鉄系の板状素材をエッチング又はパンチング加工することによりアイランド13、リード端子17等の各パーツを成形したもので、モールド工程後に切断されるまでは各パーツはリードフレームの枠体に保持されている。保持された状態でリード端子の先端部17aと前記枠体とは高さが一致しており、アイランド

(4)

5

13だけが段付け加工されて高さが異なる。その為完成後の装置ではアイランド13を保持するタイバー19は樹脂18内部で上方に折り曲げられ、リード14の高さと一致する位置で再びほぼ水平に延在し、そして樹脂18表面に切断面が露出して終端する。

【0016】各半導体チップ10、11は、組立工程直前にバックグラインド工程により裏面を研磨して250～300 μ の厚みにしている。リード端子17の板厚

(図2(A)の図示t3)は約130 μ である。板状材料から同時に形成するのでアイランド13の板厚も同じ値であり、この値は各パーツの機械的強度を保つほぼ限界の値である。

【0017】図1はボンディングワイヤ16a、16b部分を示す拡大断面図である。リード端子17の先端部17aがパッケージ厚みの約半分の高さに位置するのに対し、第1のボンディングパッド12aの表面はリード端子先端部17aのボンディングエリア20より下に、第2のボンディングパッド12bの表面はボンディングエリア20より上方に位置する。

【0018】第1のボンディングワイヤ16aは、第1のボンディングパッド12aの表面に1stボンドが打たれ、垂直に上昇した後、ボンディングエリア20と同じかやや高い位置で折り曲げられ、水平方向に延在してボンディングエリア20表面に2ndボンドが打たれる。1stボンド位置より2ndボンド位置の方が高い「打ち上げ」となるので、第1のボンディングワイヤ16aが下方に垂れることもなく、ワイヤの長さも短くできる。従ってワイヤのループ高さを最も低くすることが可能となる。

【0019】第2のボンディングワイヤ16bは、第2のボンディングパッド12bに1stボンドが打たれ、ある高さ(図示t4)まで垂直に上昇した後に折り曲げられ、下方に延在してボンディングエリア20表面の第1のボンディングワイヤ16aより遠方に2ndボンドが打たれる。1stボンド位置より2ndボンド位置の方が低い「打ち下げ」となるので、第2のボンディングワイヤ16bが第2の半導体チップ11の角部に接触しないように「ある高さt4」が設けられている。尚、ボールボンド方式では、金線の先端部を溶融させてその表面張力により金ボール21を形成し、該金ボール21を押しつけて1stボンドとするのであるが、金ボールを形成するときの加熱により金ボール21先端から150～200 μ の長さにわたり再結晶化部分が発生し、この部分に折れ曲がりやすい部分を形成する。故に上記の「ある高さt4」は前記再結晶化部分の長さ以内ということになる。

【0020】このように第1のボンディングワイヤ16aを「打ち上げ」とすることにより、第1のボンディングワイヤ16bのループ高さを低くすることができるので、第2のボンディングワイヤとの間隔(図示t5)を

6

設けることが容易になる。従って、図6(B)の符号8で示したような、第1と第2のボンディングワイヤ16a、16bとを交差配置することが可能となり、リードとパッドとの位置関係の制約を緩やかにできる。しかも、第2のボンディングワイヤ16bのある高さt4を過剰に高くせずに済むので、パッケージ外形を不必要に押し上げることもない。

【0021】本願発明者が目標とした1mm厚みのパッケージの場合、アイランド13の高さがリード端子17の高さとほぼ一致しているような従来設計では、リード端子17の板厚t3を差し引くと上側の樹脂18の肉厚t2は約430 μ 程度しかなく、前記430 μ に第1と第2の半導体チップ10、11を積層して収納することは当然不可能である。

【0022】そこで本発明では、アイランド13の高さを限界まで下げ、アイランド13の裏面13aを樹脂18の表面に露出させるようにモールドする事で樹脂の肉厚に余裕を持たせた。アイランドの裏面13aは樹脂18の表面と平坦面を構成し、これはキャビティ内にリードフレームをセットするときに、アイランド裏面13aが下金型のキャビティ表面に当接するように設置し、樹脂封止する事で得ることができる。アイランド13の位置を下げたので、アイランド13の板厚と、第1と第2の半導体チップ10、11の厚み、および接着剤14、15の厚み(各々30～40 μ は必要である)を差し引いても、第2の半導体チップ11の上方に240～300 μ の樹脂18の厚みを残すことが可能になった。

【0023】また、第1のボンディングワイヤ16aを「打ち上げ」とすることによりそのループ高さを抑えることができ、第2のボンディングワイヤ16bとの間隔t5を維持しながらも第2のボンディングワイヤ16bのループ高さt4を抑えることができる。従って、上記の樹脂厚にも十分収納することが可能になった。このように、本発明によれば、アイランド13の裏面13aが樹脂18の下面に露出するようにその位置を配置したことにより、樹脂18の肉厚に余裕を持たせることができ、樹脂の外形寸法を薄型化できるものである。これにより、1パッケージ内に第1と第2の半導体チップ10、11を積層しても外形寸法の厚みを押し上げることのない半導体装置を提供することができる。

【0024】従って、リードフレームの変更だけで金型や試験測定装置などの従来設備をそのまま利用することができ、新たな設備投資が必要ないので製品のコストダウンが可能である。しかも第1と第2の半導体チップ10、11の厚みを必要以上に薄くせずに済み、シリコンウェハの機械的強度を保てるので、バックグラインド工程以降のウェハの取り扱い性にも優れる。

【0025】ところで、半導体チップ10、11を積層し、同じ側からワイヤ16を打つことから、第1の半導体チップ10には、その表面に形成するボンディングパ

50

7

ッド12が露出するように第2の半導体チップ11よりサイズが大きくなければならないという制限が加わる。故にアイランド13を第1の半導体チップ10より大きくするような設計を行うと、樹脂18の下面の大部分にアイランド13の裏面が露出するような形状になり、アイランド13と樹脂18との熱膨張係数との差に起因するパッケージのそりが発生する危険がある。

【0026】そこで、アイランド13のサイズを第1の半導体チップ10より小さいサイズにすることで熱膨張係数が樹脂18より小さい素材からなるアイランド13の面積を減らし、収縮率の差を小さくして上記パッケージのそりを回避することができる。この時、アイランド保持用のタイバー19は第1の半導体チップ10を迂回すると共に、複数のチップサイズに対応させるため、アイランド13と水平にある程度延在させた後、上方に折り曲げる。結果図3に示したように、タイバー19の前記水平に延在させた部分19aの裏面を樹脂の表面に露出するような形状でモールドする。前記水平に延在させた部分19aは、樹脂18との密着力を増大させるという作用もある。

【0027】

【発明の効果】以上に説明した通り、本発明によれば、1つのパッケージ内に複数の半導体チップ10、11を積層する事により、電子機器の軽薄短小化の要求に沿った高密度実装の製品を提供できる利点を有する。また、第1のボンディングワイヤ16aを「打ち上げ」としたことにより第1と第2のボンディングワイヤ16a、16bの間隔t5を維持しつつループ高さt4を低く抑えることができるので、外形寸法の薄型化に寄与できる利点を有する。

【0028】更に、第1と第2のボンディングワイヤ16a、16bの間に間隔t5を十分持たせることができ

(5)

8

るので、両者を交差させて異なるリード端子17にワイヤボンドするような交差配線を可能にできる。従って、各ボンディングパッド12a、12bとリード端子17との位置関係の制約を緩やかにでき、設計の自由度を増大できる。

【0029】更に、アイランド13の位置を樹脂18の下面に露出するように配置したことにより、樹脂18の厚みを薄形化できる利点を有する。従って、樹脂18の厚みを増大することなく、複数の半導体チップ10、11を積層して収納できる利点を有する。積層して収納することは、例えばチップを横に並べて収納する場合に比べて実装効率を約2倍にできる。

【0030】更に、樹脂18の厚みを増大しないことから、樹脂18の外形寸法を従来品と同一寸法にすることができる。これにより、モールド金型や試験測定装置などの製造装置を共用化することができ、製品のコストダウンが可能である利点を有する。即ち、本発明ではリードフレームの設計変更だけで他の製造ラインは全て共用できるのである。

【0031】更に、半導体チップ10、11の厚みを必要以上に薄くせずに済むので、シリコンウェハの機械的強度を保つことができ、ウェハの取り扱い性に優れる利点を有する。

【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明を説明するための断面図である。

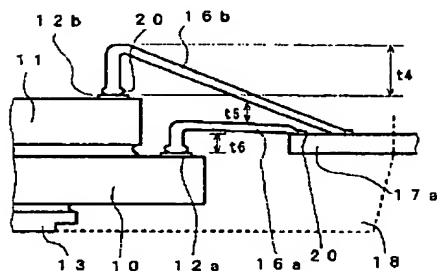
【図3】本発明を説明するための平面図である。

【図4】本発明を説明するための裏面図である。

【図5】従来例を説明するための断面図である。

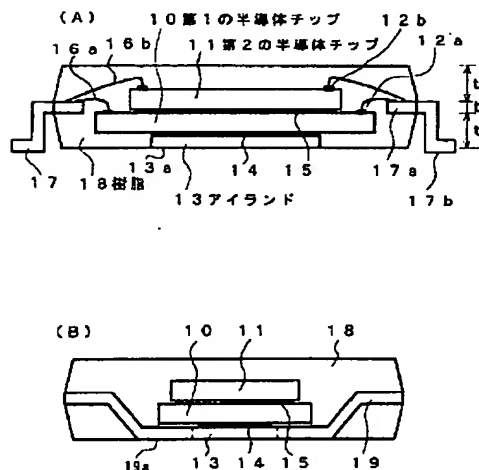
【図6】従来例を説明するための(A)断面図、(B)平面図である。

【図1】



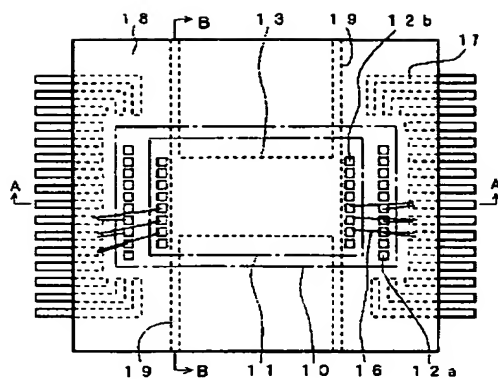
- 10 第1の半導体チップ
- 11 第2の半導体チップ
- 12a 第1のボンディングパッド
- 12b 第2のボンディングパッド
- 13 アイランド
- 16a 第1のボンディングワイヤ
- 16b 第2のボンディングワイヤ
- 17 リード端子
- 18 樹脂

【図2】

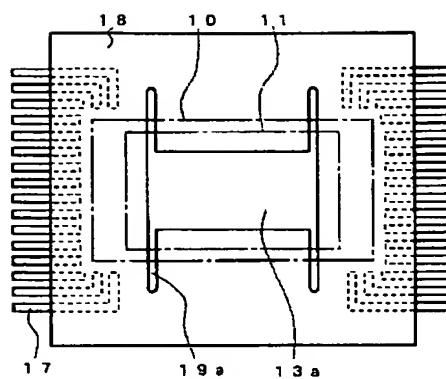


(6)

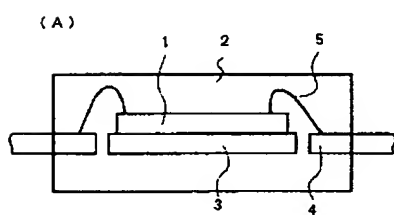
【図3】



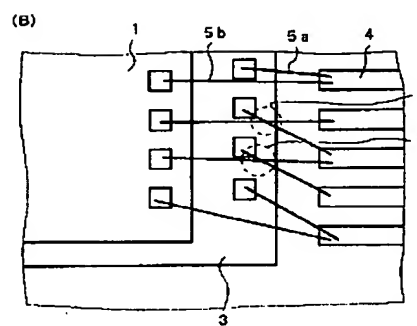
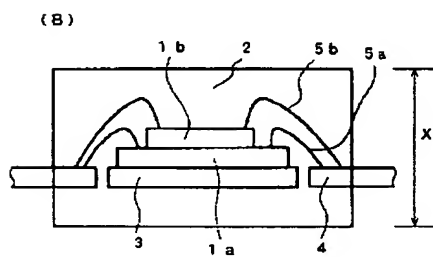
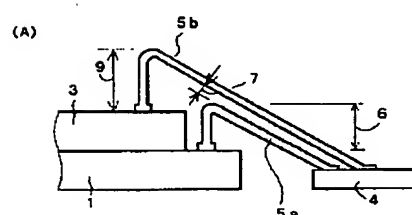
【図4】



【図5】



【図6】



*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st semiconductor chip which fixed on the island, and the 1st bonding pad formed in the front face of said 1st semiconductor chip, The 2nd semiconductor chip which fixed on said 1st semiconductor chip, and the 2nd bonding pad formed in the front face of said 2nd semiconductor chip, Said 1st [the], the resin which closes the perimeter of the 2nd semiconductor chip, and the lead terminal which is located in the 1st height from the base of said resin, extends from near said the 1st and 2nd semiconductor chip, and is drawn from the side face of said resin outside, The 1st bonding wire which connects electrically said the 1st bonding pad and said lead terminal, The 2nd bonding wire which connects electrically said the 2nd bonding pad and said lead terminal is provided. The semiconductor device with which the height of said 1st bonding pad is characterized by being respectively located in a location lower than said 1st height in the location where the height of said 2nd bonding pad is higher than said 1st height.

[Claim 2] The semiconductor device according to claim 1 characterized by carrying out a resin seal so that the rear-face side of said island may be exposed to the rear face of said resin.

[Claim 3] The semiconductor device according to claim 1 with which said 1st height is characterized by being the thickness of the abbreviation one half of the thickness of said whole resin.

[Claim 4] The semiconductor device according to claim 1 with which it extends perpendicularly mostly from said 1st bonding pad, and said 1st bonding wire is bent near said 1st height, and extends almost horizontally, and it is characterized by having fixed on the front face of said lead terminal.

[Claim 5] The semiconductor device according to claim 1 with which the difference of the height from the location of said lead terminal to the front face of said 1st semiconductor chip is characterized by being size from the die length to the part bent from the ball of said 1st wire at least.

[Claim 6] The semiconductor device according to claim 1 characterized by said 2nd bonding wire drawing the locus which passes along an always high location to the loop formation of said 1st bonding wire.

[Claim 7] The semiconductor device according to claim 1 characterized by having a part linked to a lead terminal which said the 1st bonding wire and 2nd bonding wire cross, and is mutually different.

[Claim 8] The semiconductor device according to claim 1 characterized by carrying out lead foaming of said lead terminal to surface mounts at the Z character mold.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device in which thin-shape-izing of the crossover of a bonding wire and a package appearance is possible, piling up and carrying out the mold of two or more semiconductor chips.

[0002]

[Description of the Prior Art] The transfer mold technique which closes the perimeter of the semiconductor chip 1 as shown in drawing 5 (A) with the thermosetting epoxy resin 2 has spread most as a closure technique of a semiconductor device. The leadframe is used as a support material of a semiconductor chip 1, die bond of the semiconductor chip 1 is carried out to the island 3 of a leadframe, wire bond of the lead 4 is carried out to the bonding pad of a semiconductor chip 1 with a wire 5, a leadframe is set in the metal mold possessing a desired appearance configuration, an epoxy resin is poured in into metal mold, and it is manufactured by stiffening this.

[0003] On the other hand, the semiconductor device built into not knowing and these in the place in which small [to various electronic equipment] and the wave of lightweight-izing remain will also be expected much more large capacity, high efficiency, and high integration. Then, in one package which existed as the way of thinking (for example, JP,55-1111517,A), the technique which closes two or more semiconductor chips attracted attention, and the implementation-ized motion came out from before. That is, as shown in drawing 5 (B), 1st semiconductor chip 1a is fixed on an island 3, the bonding pad and lead 4 which fix 2nd semiconductor chip 1b and correspond on 1st semiconductor chip 1a are connected by bonding wires 5a and 5b, and it closes by resin 2.

[0004]

[Problem(s) to be Solved by the Invention] It is exactly because the demand of making two or more chips unify in spite of becoming a cost rise, i.e., small-and-light-izing, is very strong. Therefore, the intention to contain in the thin package of a surface mount mold moreover is strong, and it of the merit as the whole is larger than the DIP mold package which has allowances in a dimension.

[0005] However, since it cannot be made thinner than a certain amount of thickness from the need of giving a mechanical strength, only the part which carried out the laminating of the chip has the fault which enlarges a package appearance in a semiconductor chip 1 or an island 3. Moreover, since more than a constant rate needs to raise bonding wires 5a and 5b perpendicularly as the illustration 6 of drawing 6 (A) shows, spacing (illustration 7 of drawing 6 (A)) of 1st wire 5a and 2nd wire 5b becomes narrow, and in order to prevent both minor collision, a limit which is arranged in parallel mutually is added. Therefore, as for the crossing arrangement, 1st wire 5a and 2nd wire 5b as shown in drawing 6 (B) with the sign 8 become impossible, and there was a fault that constraint joined the physical relationship of a pad and lead 4, and only the part lost the degree of freedom of a design.

[0006] If crossover arrangement is performed, in order to secure spacing 7, the height (sign 9 of drawing 6 (A)) of 2nd wire 5b will be made high beyond the need, and the dimension of a package will be enlarged after all. Furthermore, since it stopped having settled in the dimension of the package currently prepared conventionally, pushing up the dimension of a package by repeating a chip again had to use as the separate installation meter most of manufacturing installations used at a back process, such as metal mold and a test and measuring apparatus, and it had the fault said that a cost rise becomes very large by plant-and-equipment investment.

[0007] When the numeric value was described concretely, the invention-in-this-application person aimed at

thickness t of the surface mount mold called a TSOP mold carrying out the laminating of the two chips, and containing them in the package over which it does not pass to about 1.0mm. Although the bare chip method a semiconductor chip and whose dimension correspond mostly, and the tape carrier package method which used a film and copper foil instead of the metal plate are considered as the technique of the further miniaturization except a leadframe method, cost is too high and, moreover, reservation of dependability becomes difficult. Therefore, the leadframe and the demand to realize with a transfermold technique which it is on the production of the conventional technique are strong.

[0008]

[Means for Solving the Problem] It offers the semiconductor device in which thin-shape-izing of a package is possible by striking the 2nd wire from the 2nd semiconductor chip, and carrying out wire bond by the lowering formula while accomplished this invention in view of the conventional technical problem mentioned above, and it installs the 1st semiconductor chip caudad, installs the 2nd semiconductor chip up to the height of a lead, launches the 1st wire from the 1st semiconductor chip and it carries out wire bond by the formula.

[0009] Furthermore, joggling of a lead and an island is performed so that the rear face of the island in which a semiconductor chip is carried may be exposed on the surface of resin, and the semiconductor device which reduced the height of resin is offered by carrying out the laminating of two or more semiconductor chips on this island.

[0010]

[Embodiment of the Invention] The gestalt of the 1 operation of this invention to the following is explained to a detail, referring to a drawing. First, the sectional view in which drawing 2 (A) and (B) show the semiconductor device of this invention, the plan in which drawing 3 shows the semiconductor device of this invention, and drawing 4 are the rear-face Figs. showing the semiconductor device of this invention. in addition, drawing 2 (A) -- AA line sectional view of drawing 3 -- similarly drawing 2 (B) is BB line sectional view of drawing 2 .

[0011] 10 and 11 show the 1st and the 2nd semiconductor chip respectively among drawing. In the last process, various kinds of activity and a passive circuit element are formed in the silicon front face of the 1st and the 2nd semiconductor chip 10 and 11. 1st bonding pad 12a for external connection is formed in the circumference part of the chip of the 1st semiconductor chip 10. 2nd bonding pad 12b is similarly formed in the front face of the 2nd semiconductor chip 11. Passivation coats, such as a silicon nitride, silicon oxide, and a polyimide system insulator layer, are formed so that each bonding pads 12a and 12b may be covered, and opening of the upper part of bonding pads 12a and 12b is carried out for electrical connection.

[0012] Die bond of the 1st semiconductor chip 10 was carried out by the epoxy system electric conduction adhesives 14, such as Ag paste, on the island 13 of a leadframe, and it has fixed the 2nd semiconductor chip 11 with the epoxy insulating system adhesives 15 on said passivation coat of the 1st semiconductor chip 10 further. Wire bond of the end of 1st bonding wire 16a, such as a gold streak, is carried out to the front face of 1st bonding pad 12a of the 1st semiconductor chip 10 front face, and wire bond of the other end of 1st bonding wire 16a is carried out to point 17a of the lead terminal 17 for external derivation. As well as the front face of 2nd bonding pad 12b of the 2nd semiconductor chip 11, wire bond of the end of 2nd bonding wire 16b is carried out, and wire bond of the other end is carried out to point 17a of a lead terminal 17. Now, each bonding pads 12a and 12b and each lead 17 are connected electrically.

[0013] By the heat-curing resin 18 of an epoxy system, the mold of the principal part containing point 17a of the 1st, the 2nd semiconductor chip 10 and 11, and a lead terminal, and the 1st and the 2nd bonding wire 16a and 16b is carried out, and a perimeter is package-ized. A lead terminal 17 is drawn from the location of the abbreviation one half of the thickness of resin 18 of a package side attachment wall outside. that is, with reference to drawing 2 (A), the upper resin thickness t_1 and the bottom resin-thickness t see from lead 17, and 2 is almost equivalent thickness. And the lead terminal 17 drawn by the exterior of resin 18 is bent by the end lower part, is bent again, and foaming is carried out to the Z character mold. This foaming configuration is a configuration for the surface mount application which carries out opposite adhesion of the rear-face side fixing partial 17b of a lead terminal 17 at the electric conduction pattern formed in the printed circuit board.

[0014] This semiconductor device by performing joggling processing to the tie rod 19 for maintenance first prepared in four corners of an island 13 in the state of the leadframe The height of the height of an island 13 and lead terminal point 17a is made to differ. Die bond of the 1st and the 2nd semiconductor chip 10 and 11 is carried out to an island 13. So that wire bond of bonding pads 12a and 12b and the point 17a of a lead terminal

may be carried out and it may be located in the cavity which island 13 part prepared subsequently to vertical metal mold. On both sides of the frame and lead terminal 17 of a leadframe, it can fix with vertical metal mold, and can obtain by pouring in and stiffening resin in the **** condition.

[0015] Said leadframe is what fabricated each parts of an island 13 and lead terminal 17 grade by etching or punching processing the tabular material of the copper system whose board thickness is 150-200micro, or an iron system, and each parts are held at the frame of a leadframe until it is cut after a mold process. Height of said frame [point 17a of a lead terminal and] corresponds in the condition of having been held, joggling processing only of the island 13 is carried out, and height differs. For the reason, with the equipment after completion, the tie rod 19 holding an island 13 is bent up in the resin 18 interior, and extends again almost horizontally in the location which is in agreement with the height of lead 14, and a cutting plane exposes and carries out termination to resin 18 front face.

[0016] Like the erector, each semiconductor chips 10 and 11 grind a rear face by the back grinding process immediately before, and make it thickness (250-300micro). The board thickness (illustration t3 of drawing 2 (A)) of a lead terminal 17 is about 130micro. since it forms in coincidence from a tabular ingredient, the board thickness of an island 13 is also the same value, and this value maintains the mechanical strength of each parts - it is the value of a limitation mostly.

[0017] Drawing 1 is the expanded sectional view showing bonding wire 16a and 16b parts. The front face of 2nd bonding pad 12b is located more nearly up than the bonding area 20 by the front face of 1st bonding pad 12a below the bonding area 20 of lead terminal point 17a to point 17a of a lead terminal 17 being located in the height of the abbreviation one half of package thickness.

[0018] After 1st bond is struck by the front face of 1st bonding pad 12a and 1st bonding wire 16a goes up perpendicularly, it is the same as the bonding area 20, or is bent in a little high location, it extends horizontally, and 2nd bond is struck by bonding area 20 front face. The die length of a wire can also be shortened without 1st bonding wire 16a hanging down caudad, since it becomes "a launch" with the 2nd bond location higher than 1st bond location. Therefore, it becomes possible to make the loop-formation height of a wire the lowest.

[0019] 1st bond strikes 2nd bonding wire 16b to 2nd bonding pad 12b -- having -- a certain height (illustration t4) -- until -- it is bent after going up to a perpendicular, and it extends caudad, and 2nd bond is struck far away from 1st bonding wire 16a of bonding area 20 front face. the 2nd bond location is lower than 1st bond location - -- since it strikes and becomes lowering", "a certain height t4" is formed so that 2nd bonding wire 16b may not contact the corner of the 2nd semiconductor chip 11. In addition, although melting of the point of a gold streak is carried out, and the golden ball 21 is formed with that surface tension, and this golden ball 21 is pushed and being considered as 1st bond by the ball bond method, a recrystallization part occurs covering die length (150-200micro) from golden ball 21 tip with heating when forming a golden ball, and the part which is easy to bend into this part is formed. Therefore, the above-mentioned "a certain height t4" will be called less than the die length of said recrystallization part.

[0020] Thus, since the loop-formation height of 1st bonding wire 16b can be made low by considering 1st bonding wire 16a as "a launch", it becomes easy to prepare spacing (illustration t5) with the 2nd bonding wire. Therefore, it becomes possible to carry out crossover arrangement of the 1st as shown with the sign 8 of drawing 6 (B), and the 2nd bonding wire 16a and 16b, and constraint of the physical relationship of a lead and a pad can be made loose. And since it is not necessary to make high superfluously the height t4 with 2nd bonding wire 16b, a package appearance is not pushed up superfluously.

[0021] the case where it is the package of 1mm thickness which the invention-in-this-application person made the target -- the height of an island 13 -- about [the height of a lead terminal 17, and], naturally it is impossible for there to be only about 430micro thickness t2 of upper resin 18, when the board thickness t3 of a lead terminal 17 is deducted, and to carry out the laminating of the 1st and the 2nd semiconductor chip 10 and 11, and to contain them to said 430micro, by design, conventionally which is being done one.

[0022] So, by this invention, the height of an island 13 was lowered to the limitation and allowances were given to the thickness of resin by carrying out mold so that rear-face 13a of an island 13 may be exposed on the front face of resin 18. Rear-face 13a of an island constitutes the front face and flat side of resin 18, and this can be obtained by installing and carrying out a resin seal so that island rear-face 13a may contact the cavity front face of the Shimokane mold, when setting a leadframe in a cavity. Since the location of an island 13 was lowered, even if it deducted the board thickness of an island 13, the thickness of the 1st and the 2nd semiconductor chip

10 and 11, and the thickness (30-40micro are respectively required) of adhesives 14 and 15, it became possible to leave the thickness of resin (240-300micro) 18 above the 2nd semiconductor chip 11.

[0023] Moreover, though the loop-formation height can be stopped and the spacing t5 with 2nd bonding wire 16b is maintained by considering 1st bonding wire 16a as "a launch", t4 can be stopped in the loop-formation height of 2nd bonding wire 16b. Therefore, it became possible to contain enough also to the above-mentioned resin thickness. Thus, according to this invention, by having arranged the location so that rear-face 13a of an island 13 may be exposed to the inferior surface of tongue of resin 18, allowances can be given to the thickness of resin 18 and-izing of the dimension of resin can be carried out [thin shape]. The semiconductor device which does not push up the thickness of a dimension by this even if it carries out the laminating of the 1st and the 2nd semiconductor chip 10 and 11 into 1 package can be offered.

[0024] Therefore, the conventional facility of metal mold, a test and measuring apparatus, etc. can be used as it is only by modification of a leadframe, and since new plant-and-equipment investment is unnecessary, the cost cut of a product is possible. And since it is not necessary to make thickness of the 1st and the 2nd semiconductor chip 10 and 11 thin beyond the need and the mechanical strength of a silicon wafer can be maintained, it excels also in the handling nature of the wafer after a back grinding process.

[0025] By the way, since the laminating of the semiconductor chips 10 and 11 is carried out and a wire 16 is struck from the same side, limit [be / the bonding pad 12 formed in the front face / exposed] that size must be larger than the 2nd semiconductor chip 11 joins the 1st semiconductor chip 10. Therefore, when a design which makes an island 13 larger than the 1st semiconductor chip 10 is performed, it becomes the configuration which the rear face of an island 13 exposes to most inferior surfaces of tongue of resin 18, and there is a fear of the camber of the package resulting from a difference with the coefficient of thermal expansion of an island 13 and resin 18 occurring.

[0026] Then, the area of the island 13 where a coefficient of thermal expansion consists of a material smaller than resin 18 by making size of an island 13 into size smaller than the 1st semiconductor chip 10 can be reduced, the difference of contraction can be made small, and the camber of the above-mentioned package can be avoided. In order to make it correspond to two or more chip sizes, after making it extend to some extent at a level with an island 13 while the tie rod 19 for island maintenance bypasses the 1st semiconductor chip 10 at this time, it bends to the upper part. a result -- drawing 3 -- having been shown -- as -- a tie rod 19 -- mold is carried out in a configuration which exposes the rear face of said partial 19a made to extend horizontally on the surface of resin. Partial 19a which made said horizontal extend also has an operation of increasing the adhesion force with resin 18.

[0027]

[Effect of the Invention] According to this invention, it has the advantage which can offer the product of high density assembly in alignment with the demand of small-and-light-izing of electronic equipment by carrying out the laminating of two or more semiconductor chips 10 and 11 into one package as explained above. Moreover, since t4 can be low stopped in loop-formation height, maintaining the spacing t5 of the 1st and the 2nd bonding wire 16a and 16b by having considered 1st bonding wire 16a as "a launch", it has the advantage which can contribute to thin shape-ization of a dimension.

[0028] Furthermore, since spacing t5 can be enough given between the 1st and the 2nd bonding wire 16a and 16b, crossover wiring which carries out wire bond to a lead terminal 17 which both are made to cross and is different is enabled. Therefore, constraint of the physical relationship of each bonding pads 12a and 12b and a lead terminal 17 can be made loose, and the degree of freedom of a design can be increased.

[0029] Furthermore, it has the advantage which can carry out [a thin form]-izing of the thickness of resin 18 by having arranged so that the location of an island 13 may be exposed to the inferior surface of tongue of resin 18. Therefore, it has the advantage which carries out the laminating of two or more semiconductor chips 10 and 11, and can contain them, without increasing the thickness of resin 18. Carrying out a laminating and containing can double [about] mounting effectiveness compared with the case where arrange a chip horizontally and it is contained.

[0030] Furthermore, since thickness of resin 18 is not increased, the dimension of resin 18 can be conventionally made into the same dimension as elegance. Thereby, manufacturing installations, such as mold metal mold and a test and measuring apparatus, can be common-use-ized, and it has the advantage which can cut down the cost of a product. That is, by this invention, all other production lines can be shared only by the

design change of a leadframe.

[0031] Furthermore, since it is not necessary to make thickness of semiconductor chips 10 and 11 thin beyond the need, the mechanical strength of a silicon wafer can be maintained and it has the advantage which is excellent in the handling nature of a wafer.

[Translation done.]

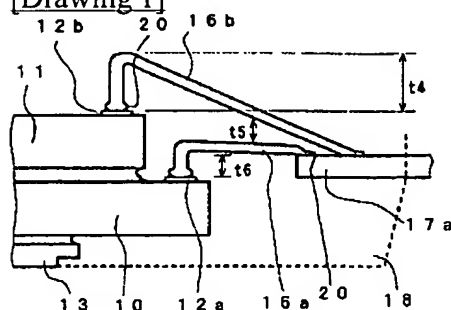
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

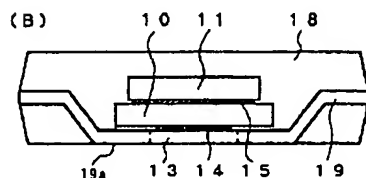
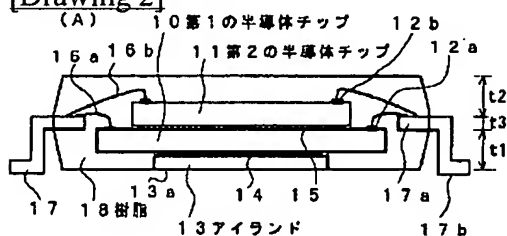
DRAWINGS

[Drawing 1]

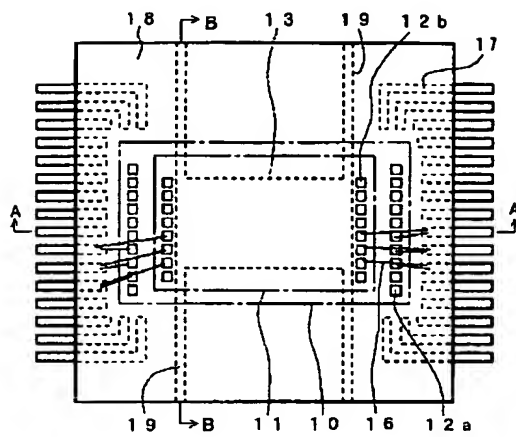


- 10 第1の半導体チップ
- 11 第2の半導体チップ
- 12a 第1のボンディングパッド
- 12b 第2のボンディングパッド
- 13 アイランド
- 16a 第1のボンディングワイヤ
- 16b 第2のボンディングワイヤ
- 17 リード端子
- 18 基板

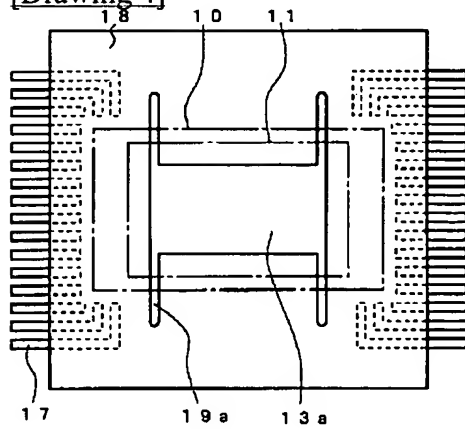
[Drawing 2]



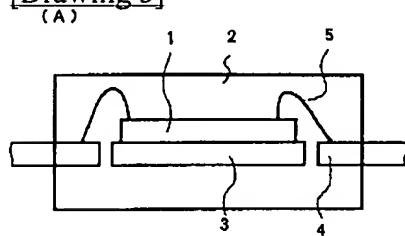
[Drawing 3]



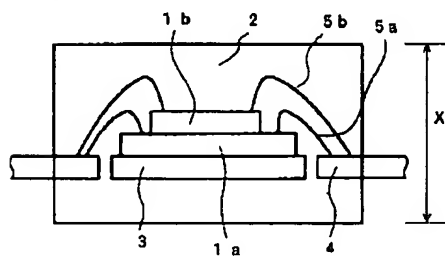
[Drawing 4]



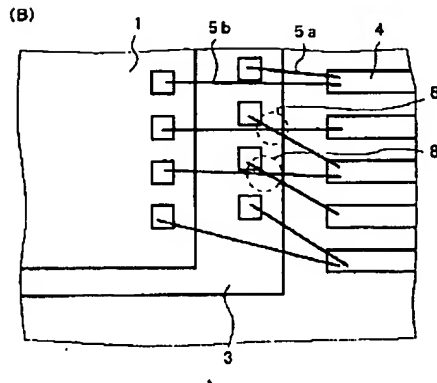
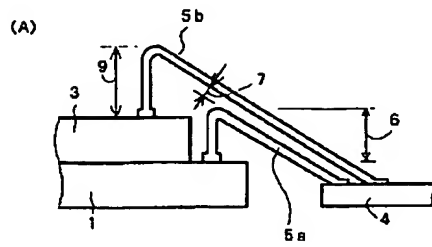
[Drawing 5]



(B)



[Drawing 6]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.